

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Satoshi IMAI et al.

Application No.: Unassigned

Group Art Unit: Unassigned

Filed: August 19, 2003

Examiner: Unassigned

For: INFORMATION PROCESSING DEVICE EQUIPPED WITH IMPROVED ADDRESS
QUEUE REGISTER FILES FOR CACHE MISS

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

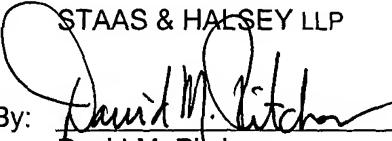
In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-239991

Filed: August 21, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

By: 
David M. Pitcher
Registration No. 25,908

Date: August 19, 2003

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月21日

出願番号

Application Number:

特願2002-239991

[ST.10/C]:

[JP2002-239991]

出願人

Applicant(s):

富士通株式会社

2003年 1月10日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2002-3104621

【書類名】 特許願

【整理番号】 0240137

【提出日】 平成14年 8月21日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/08

【発明の名称】 情報処理装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 今井 賢

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 早川 文彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 須賀 敦浩

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092587

【弁理士】

【氏名又は名称】 松本 真吉

【電話番号】 0426-20-7053

【手数料の表示】

【予納台帳番号】 004880

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項1】 第1及び第2フィールドからなる入力アドレスがキャッシュミスと判定されたときに、該入力アドレスをFIFO方式で格納し読み出してメインメモリ制御回路に供給する情報処理装置において、

該第1及び第2フィールドからなる第1アドレスと該第1アドレスの有効／無効を示す有効フラグと待ち状態情報とが格納される第1レジスタを複数備えた第1レジスタファイルと、

該第2フィールドからなる第2アドレスと該第2アドレスの有効／無効を示す有効フラグとが格納される第2レジスタを該複数の第1レジスタのそれぞれに対応させて備えた第2レジスタファイルと、

該複数の第1レジスタのうち任意の1つの第1レジスタの該第1フィールドの値と該入力アドレスの該第1フィールドの値とを比較する比較回路と、

制御回路と、を有し、該制御回路は、

有効フラグが無効を示している第1レジスタに該入力アドレスを格納させ、この第1レジスタの有効フラグが有効を示すようにし、又は、有効フラグが有効を示している第1レジスタと該入力アドレスとの該比較回路による比較結果が一致を示しているとき、有効フラグが無効を示している、この第1レジスタに対応した第2レジスタに該入力アドレスの第2フィールドを格納させ、この第2レジスタの有効フラグが有効を示すようにし、

有効フラグが有効を示している第1レジスタの内容を選択的に読み出させ、

読み出されたこの第1レジスタに対応した第2レジスタの有効フラグが無効を示している場合にはこの第1レジスタの有効フラグが無効を示すようにし、

読み出されたこの第1レジスタに対応した第2レジスタの有効フラグが有効を示している場合にはこの第2レジスタの第2フィールドの値をこの第1レジスタの第2フィールドにシフトさせ、この第2レジスタの有効フラグが無効を示すようにする、

ことを特徴とする情報処理装置。

【請求項2】 書き込み時に、該入力アドレスを該第1又は第2レジスタファイルの任意の行の第1又は第2レジスタへ選択的に転送し、読み出し時に、該第1及び第2レジスタファイルの任意の行の第1及び第2レジスタの第2ファールドの内容をこの第1レジスタ側へシフトさせる選択転送回路をさらに有することを特徴とする請求項1記載の情報処理装置。

【請求項3】 該制御回路は、ライトポインタを備え、

(1) 該複数の第1レジスタのうち該ライトポインタが指示する第1レジスタの有効フラグが無効を示している場合には、該ライトポインタが指示する第1レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この有効フラグが有効を示すようにし、

(2) 該ライトポインタが指示する第1レジスタの有効フラグが有効を示している場合には、

(a) 該ライトポインタが指示する第1レジスタと該入力アドレスとの該比較回路による比較結果が一致を示しているとき、該ライトポインタが指示する第2レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この第2レジスタの有効フラグが有効を示すようにし、該ライトポインタをインクリメントさせ、

(b) 該比較結果が不一致を示しているとき、該ライトポインタをインクリメントさせ、該ライトポインタが指示する第1レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この第1レジスタの有効フラグが有効を示すようにする、

ことを特徴とする請求項2記載の情報処理装置。

【請求項4】 該制御回路は、リードポインタを備え、

(3) 該複数の第1レジスタのうち該リードポインタが指示する第1レジスタの内容を選択的に読み出させ、

(4) 該複数の第2レジスタのうち該リードポインタが指示する第2レジスタの有効フラグが、

(c) 無効を示している場合には、該リードポインタが指示する第1レジスタの有効フラグが無効を示すようにし、該リードポインタをインクリメントし、

(d) 有効を示している場合には、この第2レジスタの第2フィールドの値を対応する第1レジスタにシフトさせて該第1レジスタの第2フィールドに書き込ませるように該選択転送回路を制御し、この第2レジスタの有効フラグが無効を示すようにする。

ことを特徴とする請求項2又は3記載の情報処理装置。

【請求項5】 該第2レジスタファイルを複数備え、該複数の第2レジスタファイルが各レジスタ行について縦続接続されており、

書き込み時に、該入力アドレスを該第1又は第2レジスタファイルの任意の行の第1又は第2レジスタへ選択的に転送し、読み出し時に、該第1及び第2レジスタファイルの任意の行の第1及び第2レジスタの第2フィールドの内容をこの第1レジスタ側へシフトさせる選択転送回路をさらに有することを特徴とする請求項1記載の情報処理装置。

【請求項6】 該制御回路は、ライトポインタを備え、

(1) 該複数の第1レジスタのうち該ライトポインタが指し示す第1レジスタの有効フラグが無効を示している場合には、該ライトポインタが指し示す第1レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この有効フラグが有効を示すようにし、

(2) 該ライトポインタが指し示す第1レジスタの有効フラグが有効を示している場合には、

(a) 該ライトポインタが指し示す第1レジスタと該入力アドレスとの該比較回路による比較結果が一致を示しているとき、該ライトポインタが指し示す複数の第2レジスタのうち有効フラグが無効を示しかつ隣の第2レジスタの有効フラグが有効を示している第2レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この第2レジスタの有効フラグが有効を示すようにし、該ライトポインタが指し示す該複数の第2レジスタの有効フラグが全て有効を示しているときには該ライトポインタをインクリメントさせ、

(b) 該比較結果が不一致を示しているとき、該ライトポインタをインクリメントさせ、該ライトポインタが指し示す第1レジスタに該入力アドレスが格納されるように該選択転送回路を制御し、この第1レジスタの有効フラグが有効を

示すようにする、

ことを特徴とする請求項5記載の情報処理装置。

【請求項7】 該制御回路は、リードポインタを備え、

(3) 該複数の第1レジスタのうち該リードポインタが指し示す第1レジスタの内容を選択的に読み出させ、

(4) 該複数の第2レジスタファイルの、該リードポインタが指し示す行の該複数の第2レジスタの有効フラグが、

(c) 全て無効を示している場合には、該リードポインタが指し示す第1レジスタの有効フラグが無効を示すようにし、該リードポインタをインクリメントし、

(d) 少なくとも1つ有効を示している場合には、この行の該第1レジスタ及び該複数の第2レジスタの第2フィールドの内容が該第1レジスタファイル側へシフトするように該選択転送回路を制御し、この複数の第2レジスタのシフト方向と反対方向の端の有効フラグが無効を示すようにする、

ことを特徴とする請求項5又は6記載の情報処理装置。

【請求項8】 該第1及び第2フィールドはキャッシュメモリとの関係で定義され、該第1フィールドは、タグフィールドとエントリフィールドとからなり、該第2フィールドは、該エントリフィールドより下位側のオフセットフィールドであることを特徴とする請求項1乃至7のいずれか1つに記載の情報処理装置。

【請求項9】 該第1及び第2フィールドはキャッシュメモリとの関係で定義され、該第1フィールドはエントリフィールドであり、該第2フィールドは、該エントリフィールドより上位側のタグフィールドと該エントリフィールドより下位側のオフセットフィールドとからなることを特徴とする請求項1乃至7のいずれか1つに記載の情報処理装置。

【請求項10】 該第1及び第2フィールドはキャッシュメモリとの関係で定義され、該第1フィールドはタグフィールドであり、該第2フィールドは、該タグフィールドより下位側のエントリフィールドと該エントリフィールドより下位側のオフセットフィールドとからなることを特徴とする請求項1乃至7のいず

れか1つに記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プロセッサ等に備えられ、キャッシュミス時にアドレスをFIFOで格納し読み出してメインメモリ制御回路に供給する情報処理装置に関する。

【0002】

【従来の技術】

図10は、メインメモリに接続された従来のプロセッサを示す概略ブロック図である。

【0003】

プロセッサ10では、命令実行回路11が、命令に含まれるオペランドのアドレスを計算し、このアドレスが論理アドレスである場合にはさらにこれを物理アドレスに変換し、アドレスADとしてデータアクセス回路12に供給する。

【0004】

図11に示すように、キャッシュメモリ17との関係でアドレスADは、その上位側からタグTAG、エントリENT及びオフセットOFSのフィールドに分けられ、エントリENTがタグテーブル14のアドレス入力端に供給される。タグテーブル14から読み出されたタグの値と入力アドレスADのタグTAGの値とがヒット/ミス判定回路15で比較され、その結果がキャッシュヒット/ミス信号H/Mとして図10のキャッシュ制御回路16に供給される。

【0005】

命令実行回路11は、入力アドレスADと同時にリクエスト信号RQをキャッシュ制御回路16に供給する。キャッシュ制御回路16は、リクエスト信号RQに応答してアクノリッジ信号ACKを命令実行回路11に供給し、キャッシュヒット/ミス信号H/Mが活性、すなわちキャッシュヒットである場合には、キャッシュメモリ17に対しリクエスト信号を供給するとともに入力アドレスADのエントリENT及びオフセットOFSの値をキャッシュメモリ17に供給する。

【0006】

キャッシュメモリ17はこれに応答して、エントリENTの値でアドレス指定されるロングワードの、オフセットOFFの値で指定される部分をデータ出力端に取り出すとともに、キャッシュ制御回路16にレディー信号を供給する。

【0007】

キャッシュ制御回路16はこれに応答して、セレクタ18をキャッシュメモリ17の出力側に切り換え、この出力をリードデータRDとして命令実行回路11に供給させる。キャッシュ制御回路16はこれと同時に、リードデータRDに対応した入力アドレスAD及びレディー信号RDYを命令実行回路11に供給する。命令実行回路11はこれに応答して、リードデータRDを入力アドレスADの内容として受け取る。

【0008】

アドレスキュー制御回路19は、キャッシュヒット／ミス信号H／Mが不活性である場合、すなわちキャッシュミスである場合、入力アドレスADをアドレスキュー記憶・選択回路20のレジスタファイル21にFIFOで格納する。アドレスキュー制御回路19は、この入力アドレスADに対応してレジスタファイル21に、メインメモリリクエスト待ち又はメインメモリからキャッシュメモリ17へのリードデータ書き込み完了を示す待ち状態WSを書き込む。アドレスキュー制御回路19は、セレクタ22に選択制御信号を供給して、FIFOでレジスタファイル21に格納されている入力アドレス（格納入力アドレス）AD及び待ち状態WSをメインメモリ制御回路23に供給させるとともに、メインメモリ制御回路23にメインメモリリードリクエスト信号MRQを供給する。

【0009】

メインメモリ制御回路23は、このメインメモリリードリクエスト信号MRQに応答して、待ち状態WSがメモリリクエスト待ちを示している場合には、読み出された格納入力アドレスADであるメインメモリリードアドレスMRAのタグTAG及びエントリENTで示される一連のデータをメインメモリ30から読み出し、キャッシュライトデータCDとしてキャッシュメモリ17に供給するとともに、メインメモリリードアドレスMRAをキャッシュ制御回路16に供給し、出力中のキャッシュライトデータCDのアドレスがメインメモリリードリクエス

ト信号M R Qに一致したとき、レディー信号をキャッシュ制御回路16に供給する。

【0010】

キャッシュ制御回路16は、メインメモリリードアドレスM R AのタグT A G及びエントリE N Tでキャッシュメモリ17をアドレス指定してキャッシュライトデータC Dをキャッシュメモリ17に書き込ませ、該レディー信号に応答して、セレクタ18をC D側に切り替え、この時のデータをリードデータR Dとして命令実行回路11に供給させるとともに、リードアドレスR A=M R Q及びレディー信号R D Yを命令実行回路11に供給する。キャッシュ制御回路16は、キャッシュメモリ17へのデータC Dの書き込みが完了すると、データC Dに対応したメインメモリリードアドレスM R AのエントリE N Tでタグテーブル14をアドレス指定して、アドレスM R AのタグT A Gを書き込む。

【0011】

レジスタファイル21に格納されているアドレスのうち、タグT A G及びエントリE N Tが互いに一致するものが複数存在する場合、その1つがメインメモリ制御回路23に供給されてメインメモリ30がアクセスされると、該複数のアドレスのうち他のアドレスについてはメインメモリ30をアクセスする必要がないので、アドレスキュー制御回路19によりレジスタファイル21内の待ち状態W Sが、キャッシュメモリ17への書き込み完了を示す値に書き換えられる。

【0012】

メインメモリ制御回路23は、アドレスキュー制御回路19からのメインメモリリードリクエスト信号M R Qに応答して、待ち状態W Sが該書き込み完了を示している場合、これを示す信号及びメインメモリリードアドレスM R Aをキャッシュ制御回路16に供給し、キャッシュ制御回路16はこれに応答して、キャッシュヒット／ミス信号H／Mが活性である場合と同様の処理を行なう。

【0013】

図10では、簡単化のため、データアクセス回路12に対するアドレスA Dへのデータ書き込み処理の構成が省略されている。

【0014】

次に、レジスタファイル21の動作を、図12を参照して説明する。

【0015】

説明の簡単化のために、レジスタファイル21に格納できる入力アドレスADの数を3とする。AD1～AD4はいずれも、キャッシュミスとなる同一タグかつ同一エントリの入力アドレスADであり、AD5はキャッシュヒットとなる入力アドレスADであるとする。

【0016】

時刻T1でレジスタファイル21に入力アドレスAD1が格納され、これがセレクタ22で選択されてメインメモリ制御回路23に供給される。メインメモリ制御回路23がメインメモリ30に対しリードアクセスを開始してから、一連のデータを読み出しキャッシュメモリ17に格納するまでに要する時間を、 τ と表記する。

【0017】

時刻T2及びT3でそれぞれレジスタファイル21に入力アドレスAD2及びAD3が格納される。アドレスキュー制御回路19は、レジスタファイル21がフル状態であることを示す信号をキャッシュ制御回路16に供給し、キャッシュ制御回路16はこれに応答して、命令実行回路11に供給するビジー信号BSYを活性にする。命令実行回路11は、ビジー信号BSYが不活性になるまで動作を停止する。

【0018】

このため、入力アドレスAD5のデータがキャッシュメモリ17に存在するにもかかわらず、このデータの読み出し動作を行なうことができない。

【0019】

時刻T1+ τ で格納入力アドレスAD1が無効になり、この場所に入力アドレスAD4が格納される。

【0020】

【発明が解決しようとする課題】

一般に、互いに接近したアドレスのデータ使用率が比較的高いので、ある入力アドレスADのキャッシュミスが生ずると、その後、この入力アドレスADと同

一のタグかつ同一のエントリの入力アドレスのキャッシュミスが連續して生じ、レジスタファイル21がフル状態になって命令実行回路11の動作が中断し、動作の高速化が妨げられる。

【0021】

この問題は、レジスタファイル21の記憶容量を増やすことにより解決することができる。

【0022】

しかしながら、入力アドレスADが例えば32ビットと比較的長いので、アドレスキュー記憶・選択回路20の回路規模が大きくなる。

【0023】

本発明の目的は、このような問題点に鑑み、記憶容量の増大を抑制して、格納できるアドレス数を増加させることが可能な情報処理装置を提供することにある。

【0024】

【課題を解決するための手段及びその作用効果】

本発明の一態様では、第1及び第2フィールドからなる入力アドレスがキャッシュミスと判定されたときに、該入力アドレスをFIFO方式で格納し読み出してメインメモリ制御回路に供給する情報処理装置において、

該第1及び第2フィールドからなる第1アドレスと該第1アドレスの有効／無効を示す有効フラグと待ち状態情報とが格納される第1レジスタを複数備えた第1レジスタファイルと、

該第2フィールドからなる第2アドレスと該第2アドレスの有効／無効を示す有効フラグとが格納される第2レジスタを該複数の第1レジスタのそれぞれに対応させて備えた第2レジスタファイルと、

該複数の第1レジスタのうち任意の1つの第1レジスタの該第1フィールドの値と該入力アドレスの該第1フィールドの値とを比較する比較回路と、

制御回路と、を有し、該制御回路は、

有効フラグが無効を示している第1レジスタに該入力アドレスを格納させ、この第1レジスタの有効フラグが有効を示すようにし、又は、有効フラグが有効を

示している第1レジスタと該入力アドレスとの該比較回路による比較結果が一致を示しているとき、有効フラグが無効を示している、この第1レジスタに対応した第2レジスタに該入力アドレスの第2フィールドを格納させ、この第2レジスタの有効フラグが有効を示すようにし、

有効フラグが有効を示している第1レジスタの内容を選択的に読み出させ、

読み出されたこの第1レジスタに対応した第2レジスタの有効フラグが無効を示している場合にはこの第1レジスタの有効フラグが無効を示すようにし、

読み出されたこの第1レジスタに対応した第2レジスタの有効フラグが有効を示している場合にはこの第2レジスタの第2フィールドの値をこの第1レジスタの第2フィールドにシフトさせ、この第2レジスタの有効フラグが無効を示すようにする。

【0025】

この構成によれば、第2レジスタが第1フィールド及び待ち状態情報をもつ必要がないので、情報処理装置の記憶容量の増大を抑制して、記憶可能な入力アドレスの数を増大させることが可能となり、これにより情報処理装置の回路規模を縮小することができるという効果を奏する。

【0026】

本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0027】

【発明の実施の形態】

以下、図面を参照して本発明の実施形態を説明する。

【0028】

【第1実施形態】

図1は、本発明の第1実施形態の、メインメモリ30に接続されたプロセッサ10Aの概略ブロック図である。図1では、簡単化のため、データアクセス回路12Aに対するアドレスADへのデータ書き込み処理の構成が省略されている。

【0029】

データアクセス回路12Aのアドレスキュー記憶・選択回路20Aでは、メインレジスタファイル21Aの各レジスタに対応したレジスタを有するサブレジス

タファイル24を備えている。また、レジスタファイル21A及び24に入力アドレスADを効率良く格納するために、データアクセス回路12Aにタグ&エントリー一致判定回路25が備えられている。

【0030】

タグ&エントリー一致判定回路25には、入力アドレスAD及びメインレジスタファイル21Aの各レジスタのアドレスのタグTAG及びエントリENT並びに有効フラグEFが供給され、入力アドレスADのタグTAG及びエントリENTの値と一致しあつ有効フラグEFが有効であることを示しているレジスタが存在するかどうかを判定し、その結果をアドレスキュー制御回路19Aに供給する。

【0031】

アドレスキュー制御回路19Aは、この判定結果に応じてメインレジスタファイル21Aまたはサブレジスタファイル24のレジスタを選択し、これに入力アドレスADまたはその一部を格納させる。アドレスキュー制御回路19Aは、レジスタファイル21A及び24に対するFIFO処理のため、ライトポインタWP及びリードポインタRPを備えている。

【0032】

図2は、本第1実施形態の特徴部分であるキャッシュミスマッチアドレスキューのより詳細な構成を、簡単化のためにメインレジスタファイル21Aのレジスタ数が2である場合について示す概略ブロック図である。

【0033】

メインレジスタファイル21Aは、互いに同一構成のレジスタ211と212とを備えている。レジスタ211は、格納入力アドレスADと、ADが有効であるか無効であるかを示す有効フラグEFと、上述の待ち状態WSとのフィールドを有する。メインレジスタファイル21A内の各有効フラグEF及び待ち状態WSは、アドレスキュー制御回路19Aに接続されている。

【0034】

サブレジスタファイル24は、レジスタ211及び212にそれぞれ対応したレジスタ241及び242を備えている。レジスタ241と242とは、互いに同一構成である。レジスタ241は、入力アドレスADのオフセットOFSとエ

ントリENTとのフィールドを有する。すなわち、レジスタ241は、レジスタ211から入力アドレスADのタグ及びエントリと待ち状態WSとを省略した構成である。

【0035】

サブレジスタファイル24とメインレジスタファイル21Aとの間には、選択転送回路26が接続されている。選択転送回路26は、レジスタ241及び242にそれぞれ対応したセレクタ261及び262を備えている。セレクタ261の一方の入力端にはレジスタ241のオフセットOFSが供給され、他方の入力端には入力アドレスADが供給される。セレクタ261の出力は、レジスタ211の格納入力アドレスフィールドに接続されている。セレクタ261の制御入力端には、アドレスキュー制御回路19Aから選択制御信号SEL1が供給される。選択制御信号SEL1によりレジスタ241のオフセットOFSが選択された場合には、その内容がレジスタ211のADフィールドのOFSフィールドのみに供給され、入力アドレスADが選択された場合には、その内容がレジスタ211のADフィールドに供給され、いずれの場合もアドレスキュー制御回路19AからのラッチパルスLP11のタイミングでレジスタ211にラッチされる。セレクタ262についてもセレクタ261と同様である。

【0036】

タグ&エントリ一致判定回路25は、互いに同一構成のコンパレータ251と252とを備えている。コンパレータ251及び252の一方の入力端には入力アドレスADが供給され、他方の入力端にはそれぞれレジスタ211及び212の格納入力アドレスのタグTAG及びエントリENT並びに有効フラグEFの値が供給される。コンパレータ251は、入力アドレスADのタグTAG及びエントリENTの値がそれぞれレジスタ211の格納入力アドレスのタグTAG及びエントリENTの値に一致し、かつ、レジスタ211の有効フラグEFが有効であることを示している場合、その出力EQ1を活性にする。一致信号EQ1は、アドレスキュー制御回路19Aに供給される。コンパレータ252についてもコンパレータ251と同様である。

【0037】

入力アドレスADが前回、レジスタ211に格納された場合、一致信号EQ1が活性であれば、アドレスキュー制御回路19AはラッチパルスLP12により入力アドレスADのオフセットOFSをレジスタ241にラッチさせ、一致信号EQ1が不活性であれば、アドレスキュー制御回路19Aは選択制御信号SEL2によりセレクタ262を入力アドレスAD側に切り替え、ラッチパルスLP21により入力アドレスADをレジスタ212にラッチさせる。

【0038】

入力アドレスADが前回、レジスタ241に格納された場合、アドレスキュー制御回路19Aは選択制御信号SEL2によりセレクタ262を入力アドレスAD側に切り替え、ラッチパルスLP21により入力アドレスADをレジスタ212にラッチさせる。

【0039】

入力アドレスADが前回、レジスタ212に格納された場合、一致信号EQ2が活性であれば、アドレスキュー制御回路19AはラッチパルスLP22により入力アドレスADのオフセットOFSをレジスタ242にラッチさせ、一致信号EQ2が不活性であれば、アドレスキュー制御回路19Aは選択制御信号SEL1によりセレクタ261を入力アドレスAD側に切り替え、ラッチパルスLP11により入力アドレスADをレジスタ211にラッチさせる。

【0040】

入力アドレスADが前回、レジスタ242に格納された場合、アドレスキュー制御回路19Aは選択制御信号SEL1によりセレクタ261を入力アドレスAD側に切り替え、ラッチパルスLP11により入力アドレスADをレジスタ211にラッチさせる。

【0041】

アドレスキュー制御回路19Aは、レジスタ211の内容を読み出させた後、レジスタ241のオフセットOFSを、セレクタ261を介しレジスタ211のオフセットフィールドにシフトさせ、レジスタ241の有効フラグEF及び待ち状態WSをリセットする。これにより、レジスタ211のタグ及びエントリ並びに待ち状態WSが、レジスタ241のオフセットOFSのためのデータとしても

用いられる。

【0042】

図3及び図4は、レジスタファイル21A及び24の書き込み順及び読み出し順を説明するための動作シーケンス図である。図3 (A)～(D)及び図4 (A)～(D)はそれぞれ時刻T0～T3及びT4～T7での状態を示す。

【0043】

ライトポインタWPの内容iは、次に書き込むレジスタファイル21A又は24のアドレス値を示している。リードポインタRPの内容jは、次に読み出すメインレジスタファイル21Aのアドレス値を示している。

【0044】

入力アドレスADのタグTAG及びエントリENTがそれぞれメインレジスタファイル21Aの第iレジスタの格納入力アドレスのタグTAG及びエントリENTと一致している場合、EQi = '1'、そうでない場合、EQi = '0'であるとする。また、WS = '1'は、メインメモリ30からキャッシュメモリ17への1ロングワード書き込み待ちであることを示し、WS = '0'はこの書き込みが完了してキャッシュメモリ17に対するリード待ちであることを示すものとする。さらに、メインレジスタファイル21Aのアドレスiの有効フラグEF及び待ち状態WSをそれぞれEFmi及びWSiと表し、サブレジスタファイル24の有効フラグEFをEFSiと表す。

【0045】

アドレスキュー記憶・選択回路20Aへの入力アドレスADの書き込みは、次の規則に従って行われる。

【0046】

(1) WP = i、EFmi = '0'、EQi = '0'及び入力アドレスADがADi (AD = ADi) であるとき、メインレジスタファイル21Aのアドレスiに対し、ADiが書き込まれ、EFmi及びWSiがセットされる。

【0047】

(2) WP = i、EFmi = '1'、EQi = '1'及びAD = ADiであるとき、サブレジスタファイル24のアドレスiに対し、ADiが書き込まれ、E

$F_{s\ i}$ がセットされ、ライトポインタ WP が 1 だけインクリメントされる。

【0048】

メインレジスタファイル 21A のレジスタ数が n であるとき、ライトポインタ WP の取りうる範囲は $0 \sim n - 1$ であり、ライトポインタ WP が $n - 1$ のときにライトポインタ WP が 1 だけインクリメントされると 1 に戻る。この点は、リードポインタ RP についても同様である。

【0049】

(3) $WP = i$ 、 $EF_{m\ i} = '1'$ 、 $EQ_i = '0'$ 及び $AD = AD_i$ であるとき、ライトポインタ WP が 1 だけインクリメントされて $WP = i + 1$ になり、サブレジスタファイル 24 のアドレス $i + 1$ に対し、 AD_i が書き込まれ、 $EF_{s\ i}$ がセットされる。

【0050】

アドレスキュー記憶・選択回路 20A からの格納入力アドレス AD の読み出しは、次の規則に従って行われる。

【0051】

(1) $RP = j$ 、 $EF_{m\ j} = '1'$ 、 $AD = AD_{m\ j}$ (メインレジスタファイル 21A のアドレス j の格納入力アドレスが $AD_{m\ j}$)、 $EF_{s\ j} = '1'$ 及び $OF_S = OF_{S\ s\ j}$ (サブルジスタファイル 21A のアドレス j の格納入力アドレスのオフセットが $OF_{S\ s\ j}$) であるとき、メインレジスタファイル 21A のアドレス j から AD_j 及び WS が読み出され、オフセット $OF_{S\ s\ j}$ がメインレジスタファイル 21A のアドレス j に転送されて $AD_{m\ i}$ のオフセットに $OF_{S\ s\ j}$ が書き込まれ、 $EF_{s\ j}$ がリセットされ、 WS_j がリセットされる。

【0052】

(2) $RP = j$ 、 $EF_{m\ j} = '1'$ 、 $AD = AD_{m\ j}$ 及び $EF_{s\ j} = '0'$ であるとき、メインレジスタファイル 21A のアドレス j から $AD_{m\ j}$ 及び WS_j が読み出され、 $EF_{m\ j}$ がリセットされ、リードポインタ RP が 1 だけインクリメントされる。

【0053】

最初、ライトポインタ WP 及びリードポインタ RP がゼロクリアされ、メイン

レジスタファイル21Aの全ての有効フラグEF及び待ち状態WSがリセットされている。

【0054】

(T0) WP=0、EQ0='0'及びEFm0='0'であるので、メインレジスタファイル21Aのアドレス0に対し、AD=AD0が書き込まれ、EFm0及びWS0がセットされる。

【0055】

RP=0であるので、メインレジスタファイル21Aのアドレス0からAD0が読み出されて図1のメインメモリ制御回路23に供給される。WS0='1'であるので、メインメモリ制御回路23により、AD0のタグ及びエントリに一致する一連のアドレスに対するリードアクセスがメインメモリ30に対して開始される。

【0056】

(T1) WP=0、EQ0='1'及びEFm0='1'であるので、サブレジスタファイル24アドレス0に対し、AD=AD1のオフセットが書き込まれ、EFs0がセットされ、ライトポインタWPがインクリメントされて1になる。

【0057】

(T2) WP=1、EQ0='0'及びEFm1='0'であるので、メインレジスタファイル21Aのアドレス1に対し、AD=AD2が書き込まれ、EFm1及びWS1がセットされる。

【0058】

(T3) WP=1、EQ1='0'及びEFm1='1'であるので、ライトポインタWPがインクリメントされて2になり、メインレジスタファイル21Aのアドレス2にAD=AD3が書き込まれ、EFm2及びWS2がセットされる。

【0059】

時刻T1でのリードアクセスが完了して1ロングワードのリードデータがキャッシュメモリ17に格納され、キャッシュ制御回路16からアドレスキュー制御

回路19Aへ更新完了信号が供給される。EFs0 = '1' であるので、アドレスキュー制御回路19Aはこれに応答して、AD1のオフセットをメインレジスタファイル21Aの同じアドレス0のレジスタのオフセットフィールドへ転送して書き込ませ、EFs0をリセットする。アドレスキュー制御回路19Aはまた、メインレジスタファイル21Aに格納されている格納入力アドレスADのうち、タグTAG及びエントリENTがAD1のタグ及びエントリと同一で有効フラグEFが '1' である全てのレジスタの待ち状態WSを '0' (キャッシュメモリアクセス待ち状態) にする。

【0060】

(T4) WP = 2、EQ2 = '1' 及びEFm2 = '1' であるので、サブレジスタファイル24のアドレス2に対し、AD = AD4のオフセットOFFが書き込まれ、EFs2がセットされ、ライトポインタWPがインクリメントされて3になる。

【0061】

メインレジスタファイル21Aのアドレス0について、AD1及び待ち状態WS0が読み出され、有効フラグEFm0がリセットされる。EFm0 = EFs0 = '0' であるので、リードポインタRPがインクリメントされて1になる。WS0 = '0' であるので、アドレスキュー制御回路19Aは、キャッシュ制御回路16にMRA = AD1及びWS0を供給して、キャッシュ制御回路16に対しこのアドレスのデータの読み出しを要求する。これにより、キャッシュメモリ17から対応するデータが読み出される。

【0062】

(T5) WP = 3、EQ3 = '0' 及びEFm3 = '0' であるので、メインレジスタファイル21Aのアドレス3に対し、AD = AD5が書き込まれ、EFm3及びWS3がセットされる。

【0063】

メインレジスタファイル21Aのアドレス1について、AD2及び待ち状態WS1が読み出され、有効フラグEFm1がリセットされる。EFm0 = EFs0 = '0' であるので、リードポインタRPがインクリメントされて2になる。W

$S1 = '0'$ であるので、アドレスキュー制御回路19Aは、キャッシュ制御回路16に $MRA = AD2$ 及び $WS1$ を供給して、キャッシュ制御回路16に対しこのアドレスのデータの読み出しを要求する。これにより、キャッシュメモリ17から対応するデータが読み出される。

【0064】

(T6) $WP = 3$ 、 $EQ3 = '0'$ 及び $EFm3 = '1'$ であるので、ライトポインタWPがインクリメントされて0に戻り、メインレジスタファイル21Aのアドレス0に $AD = AD6$ が書き込まれ、 $EFm0$ 及び $WS0$ がセットされる。

【0065】

メインレジスタファイル21Aのアドレス2から $AD3$ 及び $WS2$ が読み出されて図1のメインメモリ制御回路23に供給される。 $WS2 = '1'$ であるので、メインメモリ制御回路23により、 $AD0$ のタグ及びエントリに一致する一連のアドレスに対するリードアクセスがメインメモリ30に対して開始される。

【0066】

(T7) $WP = 0$ 、 $EQ0 = '0'$ 及び $EFm0 = '1'$ であるので、ライトポインタWPがインクリメントされて1になり、メインレジスタファイル21Aのアドレス1に $AD = AD7$ が書き込まれ、 $EFm1$ 及び $WS1$ がセットされる。

【0067】

このようにして、アドレスキュー制御回路19Aによりアドレスキュー記憶・選択回路20Aに対するFIFO制御が行なわれる。

【0068】

図5は、図12と同じ条件で $AD1 \sim AD4$ が順次格納される場合を示す動作シーケンス図である。

【0069】

本第1実施形態によれば、サブレジスタファイル24のレジスタが格納入力アドレスのタグ及びエントリ並びに待ち状態のフィールドをもつ必要がないので、アドレスキューの記憶容量の増大を抑制して、記憶可能な入力アドレスの数を増

大きせることが可能となり、これによりキャッシュミスマドレスキューの回路規模を縮小することができるという効果を奏する。

【0070】

[第2実施形態]

図6は、本発明の第2実施形態のキャッシュミスマドレスキューの一部を示す概略ブロック図であり、図7はこのキャッシュミスマドレスキューの残りの部分を示す概略ブロック図である。

【0071】

アドレスキュー記憶・選択回路20Bは、図2の構成にさらに選択転送回路27及び第2サブレジスタファイル28を有する点で、図2のアドレスキュー記憶・選択回路20Aと異なる。すなわち、この回路では、第1サブレジスタファイル24が選択転送回路26を介してメインレジスタファイル21Aに接続され、第2サブレジスタファイル28が選択転送回路27を介して第1サブレジスタファイル24に接続されている。第1サブレジスタファイル24と第2サブレジスタファイル28とは互いに同一構成であり、選択転送回路26と27とは互いに同一構成である。

【0072】

アドレスキュー記憶・選択回路20Bへの入力アドレスADの書き込みは、次の規則に従って行われる。

【0073】

(1) $WP = i$ 、 $EF_{mi} = '0'$ 、 $EQ_i = '0'$ 及び $AD = AD_i$ であるとき、メインレジスタファイル21Aのアドレス*i*に対し、 AD_i が書き込まれ、 EF_{mi} 及び WS_i がセットされる。

【0074】

(2a) $WP = i$ 、 $EF_{mi} = '1'$ 、 $EQ_i = '1'$ 、第1サブレジスタファイル24のアドレス*i*の有効フラグ EF_{1s_i} が ' 0 '、 $AD = AD_i$ であるとき、第1サブレジスタファイル24のアドレス*i*に対し、 AD_i が書き込まれ、有効フラグ EF_{1s} がセットされ、そしてライトポインタWPが1だけインクリメントされる。

【0075】

(2 b) $WP = i$ 、 $EF_{m\ i} = '1'$ 、 $EQ_i = '1'$ 、 $EF_{1\ s\ i} = '1'$ 、
第2サブレジスタファイル28のアドレス*i*の有効フラグ $EF_{2\ s\ i}$ が‘0’、
 $AD = AD_i$ であるとき、第2サブレジスタファイル28のアドレス*i*に対し、
 AD_i が書き込まれ、 $EF_{2\ s\ i}$ がセットされ、そしてライトポインタWPが1
だけインクリメントされる。

【0076】

(3) $WP = i$ 、 $EF_{m\ i} = '1'$ 、 $EQ_i = '0'$ 、 $AD = AD_i$ であるとき
、ライトポインタWPが1だけインクリメントされて $WP = i + 1$ になり、第1
サブレジスタファイル24のアドレス*i*+1に対し、 AD_i が書き込まれ、 $EF_{1\ s\ (i+1)}$ がセットされる。

【0077】

アドレスキュー記憶・選択回路20Bからの格納入力アドレスADの読み出し
は、次の規則に従って行われる。

【0078】

(1 a) $RP = j$ 、 $EF_{m\ j} = '1'$ 及び $AD = AD_j$ 、 $EF_{1\ s\ j} = '1'$
及び第1サブレジスタファイル24のアドレス*j*の格納入力アドレスのオフセット OFS が $OFS_{1\ s\ j}$ 、第2サブレジスタファイル28のアドレス*j*の有効フラグ $EF_{2\ s\ j}$ が‘0’であるとき、メインレジスタファイル21Aのアドレス*j*から AD_j 及び待ち状態 WS_j が読み出され、オフセット $OFS_{1\ s\ j}$ がメインレジスタファイル21Aのアドレス*j*に転送されて AD_i のオフセットに $OFS_{1\ s\ j}$ が書き込まれ、 $EF_{1\ s\ j}$ がリセットされ、 WS_j がリセットされる。

【0079】

(1 b) $RP = j$ 、 $EF_{m\ j} = '1'$ 、 $AD = AD_j$ 、 $EF_{1\ s\ j} = '1'$ 、
第1及び第2サブレジスタファイルのアドレス*j*の格納入力アドレスのオフセットがそれぞれ $OFS_{1\ s\ j}$ 及び $OFS_{2\ s\ j}$ 、並びに、 $EF_{2\ s\ j} = '1'$ であるとき、メインレジスタファイル21Aのアドレス*j*から AD_j 及び WS_j が読み出され、 $OFS_{1\ s\ j}$ がメインレジスタファイル21Aのアドレス*j*に転送されて AD_i のオフセットに $OFS_{1\ s\ j}$ が書き込まれ、次いでオフセット OFS

2 s j がサブレジスタファイル24のアドレスjに転送されてオフセットOFS
1 s j がOFS2s j に書き換えられ、EF2s j がリセットされ、WSj がリ
セットされる。

【0080】

(2) RP=j、EFmj='1'、AD=ADj、EF1sj='0'であるとき、メインレジスタファイル21AのアドレスjからADj及びWSjが読み出され、EFmjがリセットされ、リードポインタRPが1だけインクリメントされる。

【0081】

本第2実施形態によっても、上記第1実施形態と同様な効果が得られる。

【0082】

【第3実施形態】

図8は、本発明の第3実施形態のキャッシュミスマドレスキュー示す概略プロック図である。

【0083】

アドレスキュー記憶・選択回路20Cでは、サブレジスタファイル24Aのレジスタ241A及び242Aがいずれも、オフセットOFSのみならずタグTAGのフィールドを有する点で、図2のサブレジスタファイル24と異なっている。また、タグ&エントリー一致判定回路25Aのコンパレータ251Aは、この違いに対応して、入力アドレスADのエントリENTの値がレジスタ211の格納入力アドレスのエントリの値に一致し、かつ、レジスタ211の有効フラグEFが'1'である場合、その出力一致信号EQ1を活性にする。一致信号EQ1は、アドレスキュー制御回路19Aに供給される。コンパレータ252Aについてもコンパレータ251Aと同様である。

【0084】

アドレスキュー記憶・選択回路20Cへの入力アドレスADの書き込み及びアドレスキュー記憶・選択回路20Cからの格納入力アドレスの読み出しの規則は、上記第1実施例と同様である。

【0085】

本第3実施形態によれば、入力アドレスADのエントリENTの値が、前回メインレジスタファイル21Aに書き込まれた格納入力アドレスのエントリの値に一致する場合、入力アドレスADのタグTAG及びオフセットOFSがサブレジスタファイル24Aに書き込まれ、上記第1実施形態と同様な効果が得られる。

【0086】

[第4実施形態]

図9は、本発明の第4実施形態のキャッシュミスマドレスキューブロック図である。

【0087】

アドレスキューメモリ・選択回路20Dでは、サブレジスタファイル24Bのレジスタ241B及び242Bがいずれも、オフセットOFSのみならずエントリENTのフィールドを有する点で、図2のサブレジスタファイル24と異なっている。また、タグ&エントリ一致判定回路25Bのコンパレータ251Bは、この違いに対応して、格納入力アドレスADのタグTAGの値がレジスタ211の格納入力アドレスのタグの値に一致し、かつ、レジスタ211の有効フラグEFが‘1’である場合、その出力一致信号EQ1を活性にする。一致信号EQ1は、アドレスキューメモリ制御回路19Aに供給される。コンパレータ252Bについてもコンパレータ251Bと同様である。

【0088】

アドレスキューメモリ・選択回路20Dへの入力アドレスADの書き込み及びアドレスキューメモリ・選択回路20Dからの格納入力アドレスの読み出しの規則は、上記第1実施例と同様である。

【0089】

本第4実施形態によれば、入力アドレスADのタグTAGの値が、前回メインレジスタファイル21Aに書き込まれた格納入力アドレスのタグの値に一致する場合、入力アドレスADのエントリENT及びオフセットOFSがサブレジスタファイル24Bに書き込まれ、上記第1実施形態と同様な効果が得られる。

【0090】

なお、本発明には外にも種々の変形例が含まれる。

【0091】

例えば、図2においてタグ&エントリー一致判定回路25は、一方の入力端に入力アドレスADのタグTAG及びエントリENTの値が供給される1つのコンパレータと、出力端が該コンパレータの他方の入力端に接続され複数の入力端にそれぞれメインレジスタファイル21Aの対応するレジスタのタグ及びエントリの値が供給されるマルチプレクサとを備えた構成であってもよい。この点は、図6、図8及び図9についても同様である。

【0092】

また、図7及び図8ではメインレジスタファイル21Aに対し各レジスタのビット長がメインレジスタファイル21Aより短いサブレジスタファイルを2列備えた場合を説明したが、3列以上備えた構成であってもよいことは勿論である。この点は第3及び第4実施例においてメインレジスタファイル21Aに対し各レジスタのビット長がメインレジスタファイル21Aより短いサブレジスタファイルを複数列備える場合についても同様である。

【0093】

さらに、待ち状態情報としてのWSを複数ビットにして、待ち状態をさらに詳しく分類した構成であってもよい。

【0094】

また、本発明のキャッシュミスマドレスキューは、データキャッシュのみならず命令キャッシュに対しても適用できる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態の、メインメモリに接続されたプロセッサの概略ブロック図である。

【図2】

本第1実施形態の特徴部分であるキャッシュミスマドレスキューのより詳細な構成を、簡単化のためにメインレジスタファイルのレジスタ数が2である場合について示す概略ブロック図である。

【図3】

レジスタファイルの書き込み順及び読み出し順を説明するための動作シーケンス図である。

【図4】

図3の続きの動作シーケンス図である。

【図5】

入力アドレスAD1～AD4が順次格納される場合を示す動作シーケンス図である。

【図6】

本発明の第2実施形態のキャッシュミスマドレスキューワーの一部を示す概略ブロック図である。

【図7】

該第2実施形態のキャッシュミスマドレスキューワーの残りの部分を示す概略ブロック図である。

【図8】

本発明の第3実施形態のキャッシュミスマドレスキューワー示す概略ブロック図である。

【図9】

本発明の第4実施形態のキャッシュミスマドレスキューワーを示す概略ブロック図である。

【図10】

メインメモリに接続された従来のプロセッサを示す概略ブロック図である。

【図11】

入力アドレスADの、キャッシュメモリとの関係で定義されるフィールド構成と、タグテーブルと、ヒット／ミス判定回路との関係を示す説明図である。

【図12】

図10中のキャッシュミスマドレスキューワーの動作シーケンス図である。

【符号の説明】

10、10A プロセッサ

11 命令実行回路

12、12A データアクセス回路
 14 タグテーブル
 15 ヒット／ミス判定回路
 16 キャッシュ制御回路
 17 キャッシュメモリ
 18、22、261、262、271、272 セレクタ
 19、19A、19B アドレスキュー制御回路
 20、20A～20E アドレスキュー記憶・選択回路
 21、291 レジスタファイル
 21A、21B メインレジスタファイル
 23 メインメモリ制御回路
 24、24A、24B サブレジスタファイル
 211、212、211B、212B、241、242、241A、242A
 、241B、242B レジスタ
 25、25A、25B タグ&エントリ一致判定回路
 251、252、251A、252A、251B、252B コンパレータ
 28 第2サブルジスタファイル
 26、27 選択転送回路
 30 メインメモリ
 A D 入力アドレス
 R D リードデータ
 R Q リクエスト信号
 A C K アクノリッジ信号
 B S Y ビジー信号
 R A リードアドレス
 M R Q メインメモリリードリクエスト信号
 M R A メインメモリリードアドレス
 W S 待ち状態
 R D Y レディー信号

CD キャッシュライトデータ

TAG タグ

ENT エントリ

OFS オフセット

EQ1、EQ2 一致信号

LP11、LP12、LP21、LP22 ラッチパルス

SEL、SEL2 選択制御信号

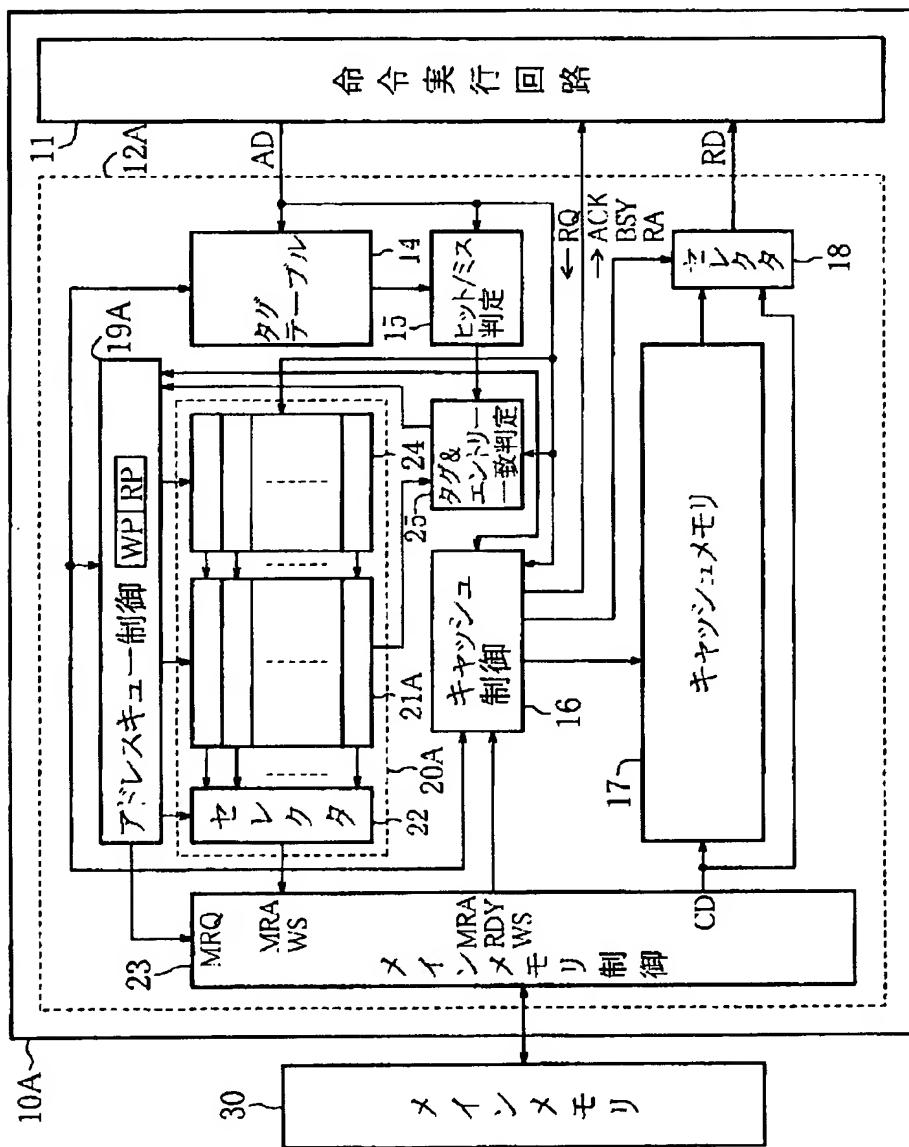
WP ライトポインタ

RP リードポインタ

【書類名】 図面

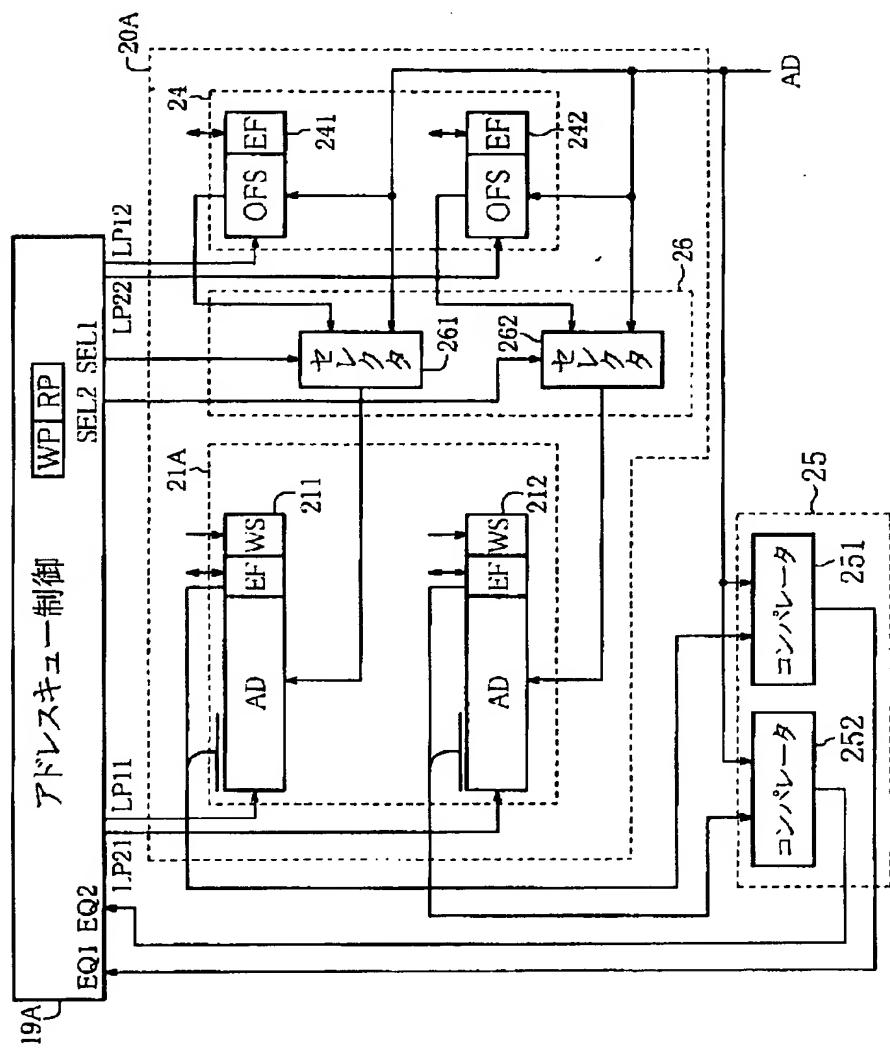
【図1】

本発明の第1実施形態の、メインメモリに接続された
プロセッサの概略ブロック図



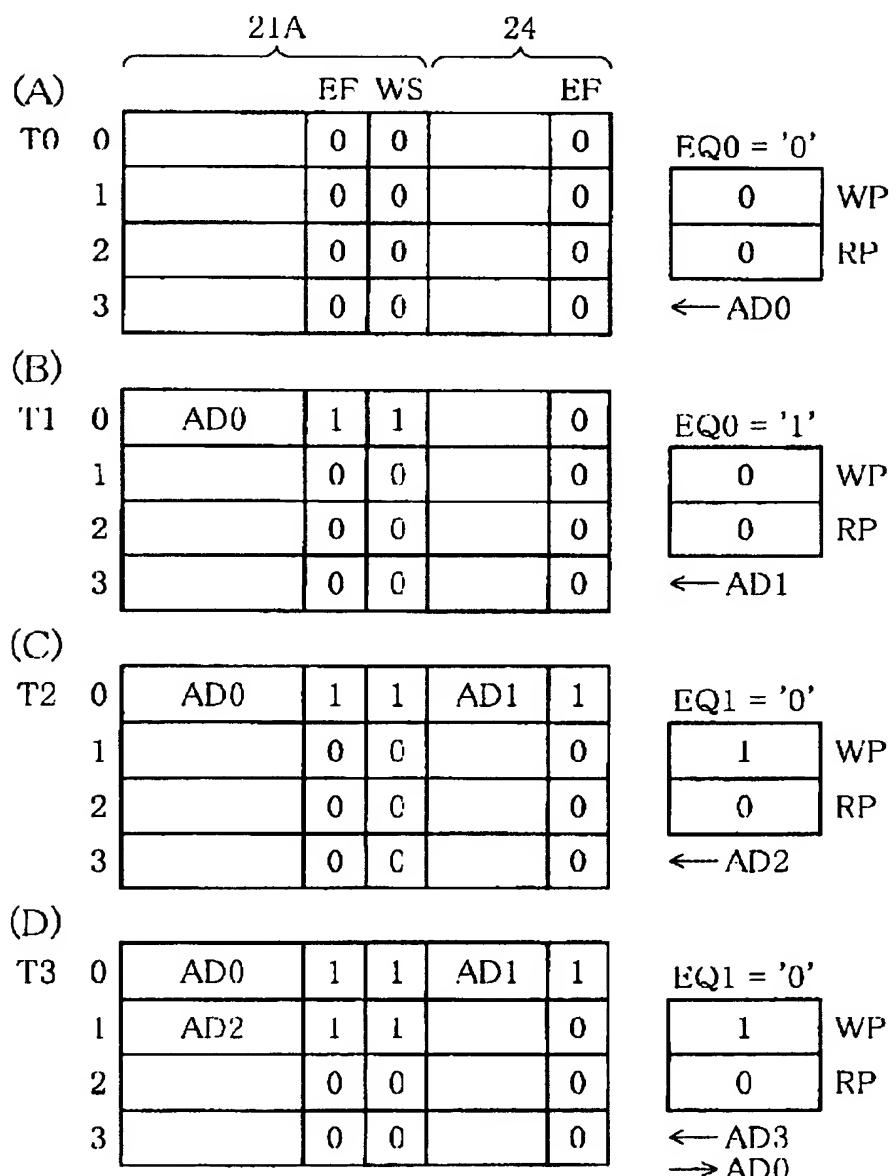
【図2】

本第1実施形態の特徴部分であるキャッシングミスアドレスキューのより詳細な構成を、簡単化のためにメインレジスタファイルのレジスタ数が2である場合について示す概略ブロック図



【図3】

レジスタファイルの書き込み順及び読み出し順を説明するための動作シーケンス図



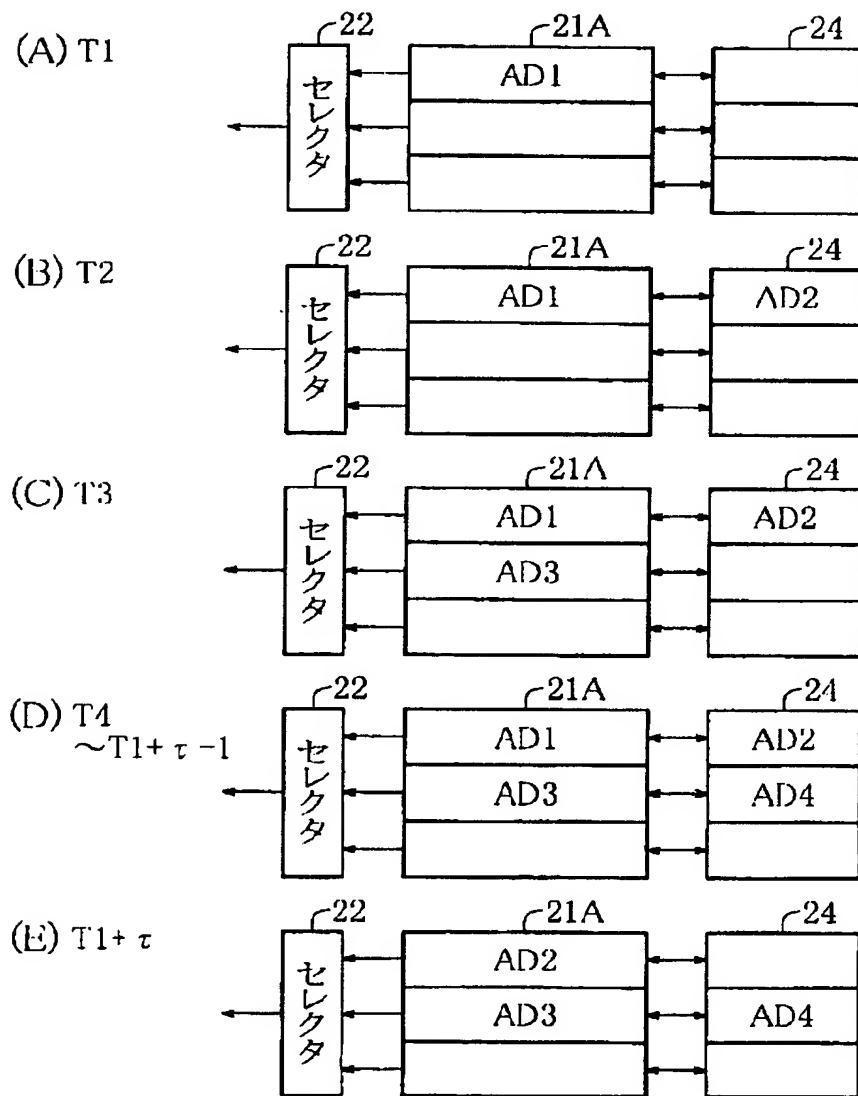
【図4】

図3の続きの動作シーケンス図

| | | 21A | | 24 | |
|-----|---|-----------|----|-------|-----|
| | | EF | WS | EF | |
| (A) | 0 | AD1 | 1 | 0 | AD1 |
| | 1 | AD2 | 1 | 0 | 0 |
| | 2 | AD3 | 1 | 1 | 0 |
| | 3 | | 0 | 0 | 0 |
| | | EQ2 = '1' | | | |
| | | 2 | | WP | |
| | | 0 | | RP | |
| | | ← AD4 | | → AD1 | |
| (B) | 0 | AD1 | 0 | 0 | AD1 |
| | 1 | AD2 | 1 | 0 | 0 |
| | 2 | AD3 | 1 | 1 | AD4 |
| | 3 | | 0 | 0 | 0 |
| | | EQ0 = '0' | | | |
| | | 3 | | WP | |
| | | 1 | | RP | |
| | | ← AD5 | | → AD2 | |
| (C) | 0 | AD1 | 0 | 0 | AD1 |
| | 1 | AD2 | 0 | 0 | 0 |
| | 2 | AD3 | 1 | 1 | AD4 |
| | 3 | AD5 | 1 | 1 | 0 |
| | | EQ3 = '0' | | | |
| | | 3 | | WP | |
| | | 2 | | RP | |
| | | ← AD6 | | | |
| (D) | 0 | AD6 | 1 | 1 | AD1 |
| | 1 | AD2 | 0 | 0 | 0 |
| | 2 | AD3 | 1 | 1 | AD4 |
| | 3 | AD5 | 1 | 1 | 0 |
| | | EQ0 = '0' | | | |
| | | 0 | | WP | |
| | | 2 | | RP | |
| | | ← AD7 | | | |

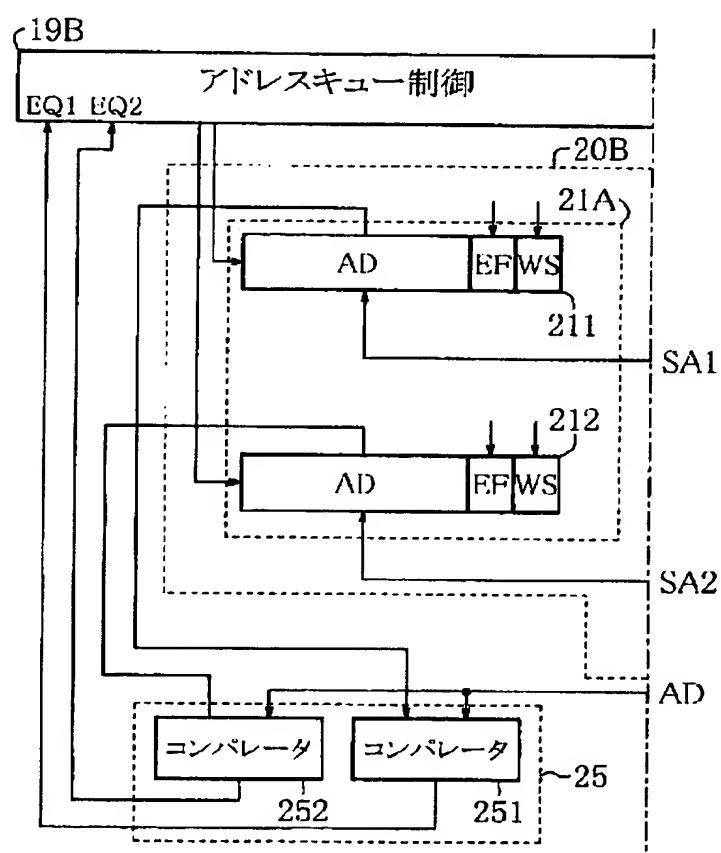
【図5】

入力アドレスAD1～AD4が順次格納される場合を示す動作シーケンス図



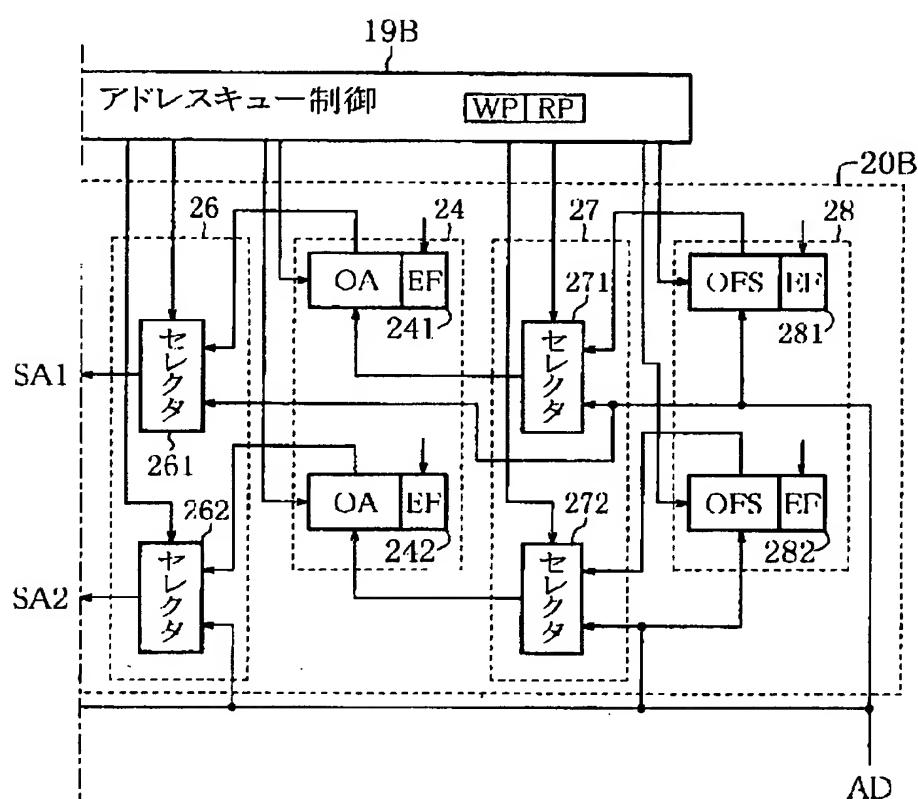
【図6】

本発明の第2実施形態のキャッシュミスマドレスキューブーの
一部を示す概略ブロック図



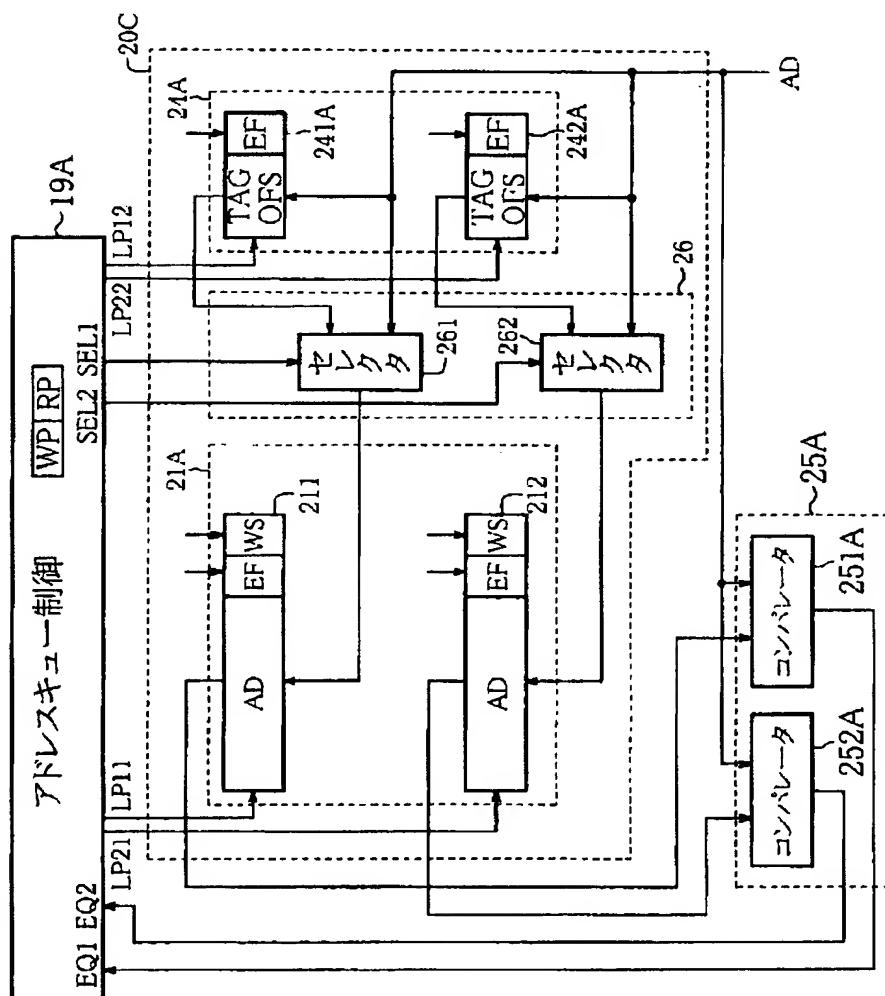
【図7】

該第2実施形態のキャッシュミスマッチアドレスキューリの
部分を示す概略ブロック図



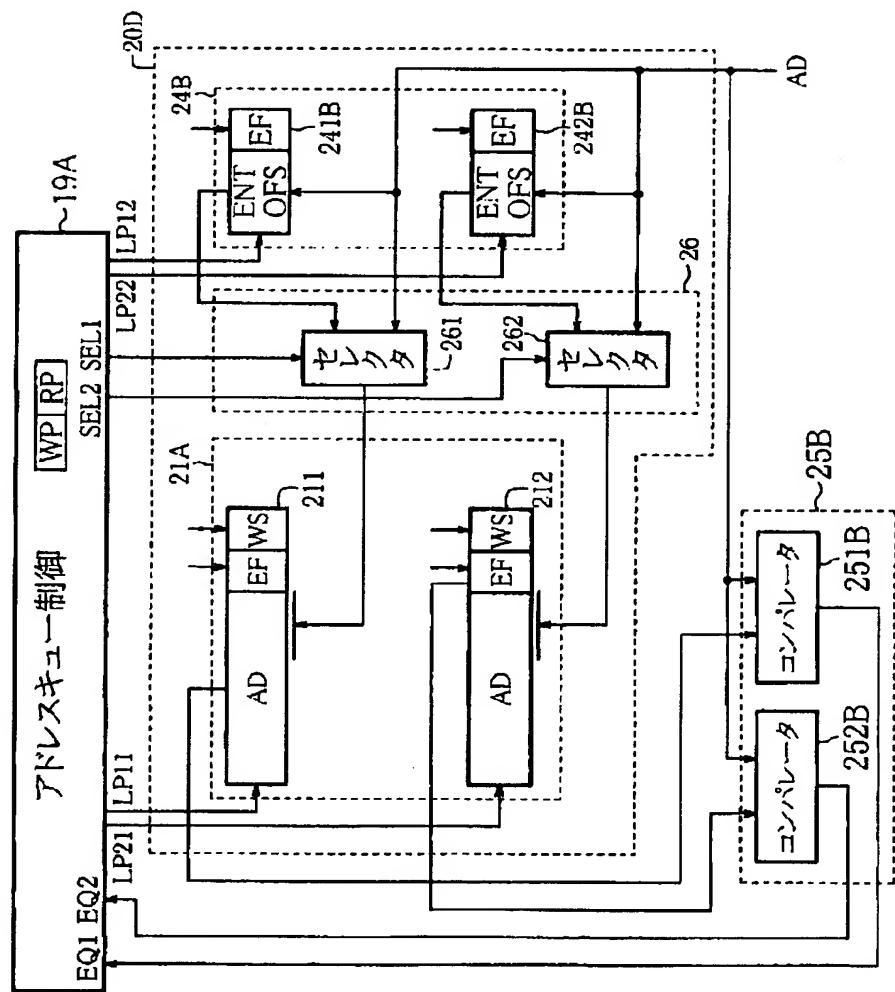
【図8】

本発明の第3実施形態のキャッシュミスマドレスキーを示す概略ブロック図



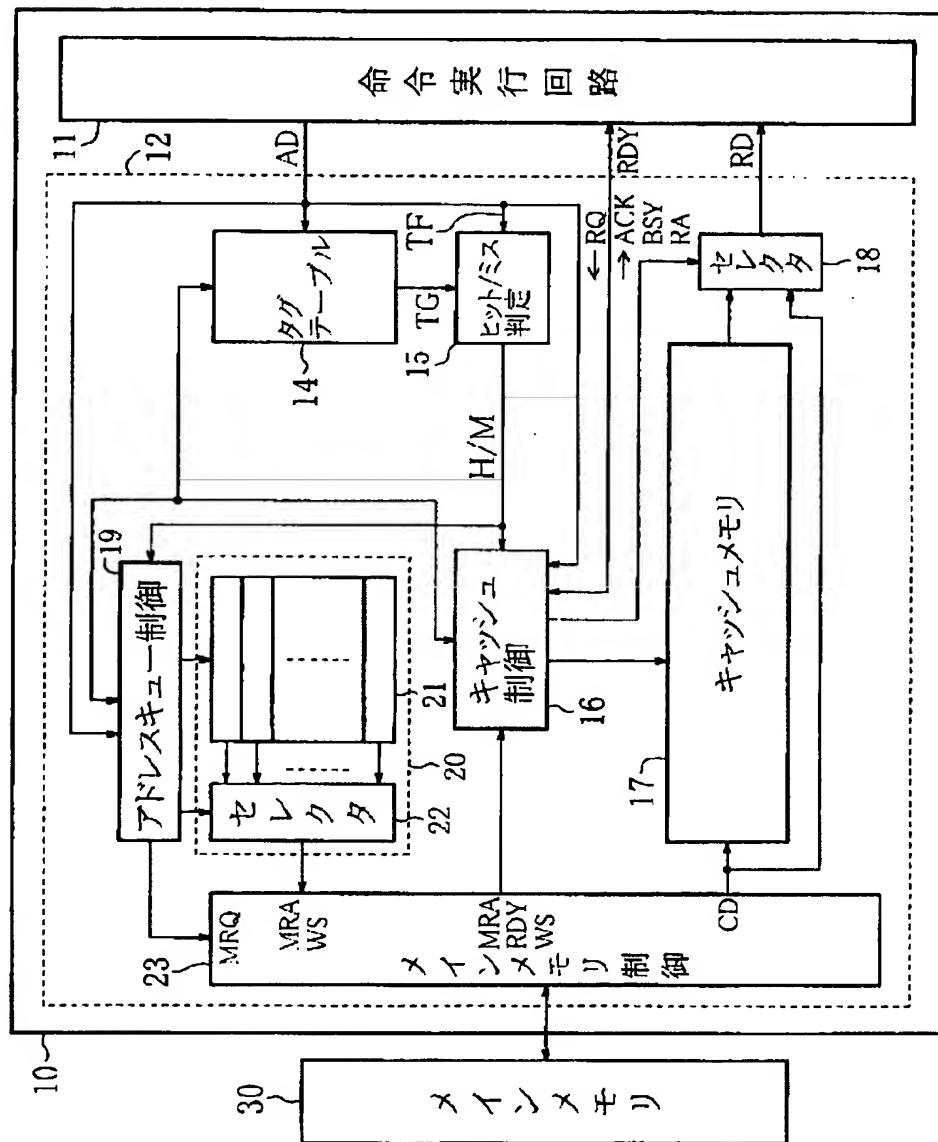
【図9】

本発明の第4実施形態のキャッシュミスマドレスキューブを示す概略ブロック図



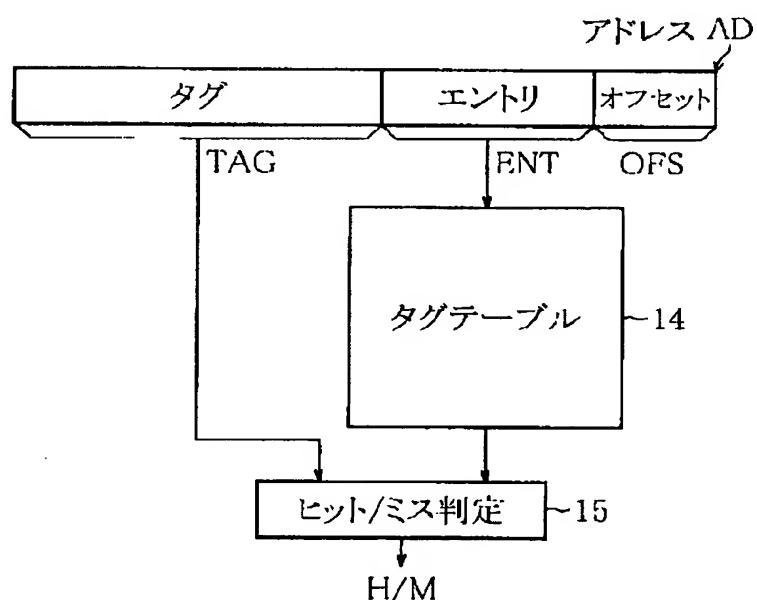
【図10】

メインメモリに接続された従来のプロセッサを
示す概略ブロック図



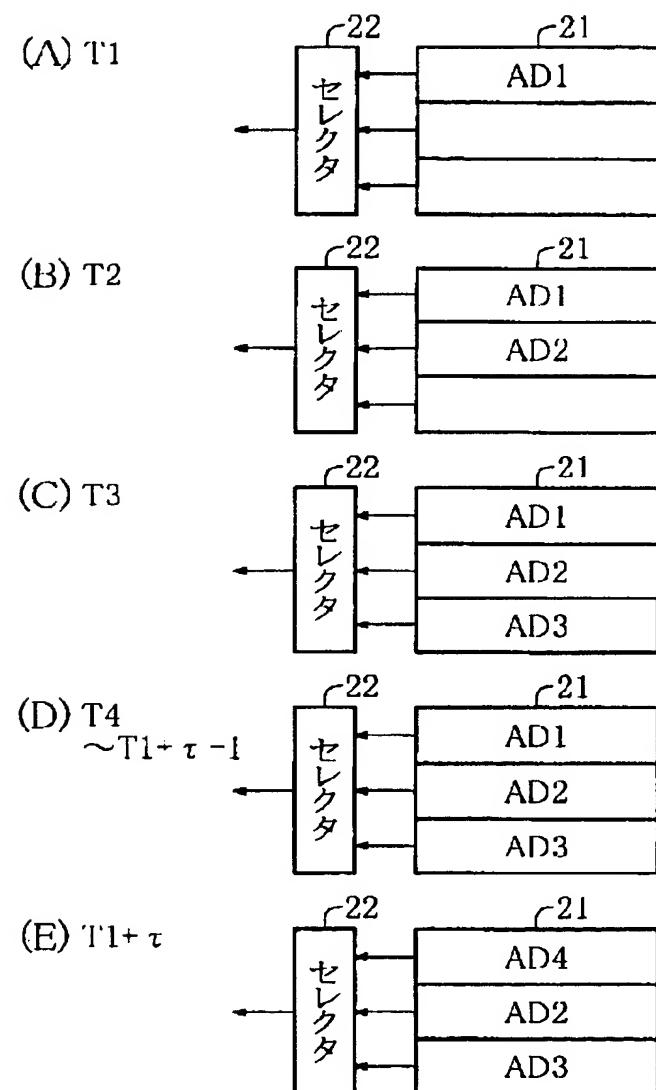
【図11】

入力アドレスADの、キャッシュメモリとの関係で定義されるフィールド構成と、タグテーブルと、ヒット／ミス判定回路との関係を示す説明図



【図12】

図10中のキャッシュミスマドレスキューの動作シーケンス図



【書類名】 要約書

【要約】

【課題】 記憶容量の増大を抑制して、格納できるアドレス数を増加させる。

【解決手段】 入力アドレスADが前回、レジスタ211に格納された場合、アドレスキュー制御回路19Aは、一致信号EQ1が活性であれば入力アドレスADのオフセットをレジスタ241にラッチさせ、一致信号EQ1が不活性であればセレクタ262を介し入力アドレスADをレジスタ212にラッチさせる。入力アドレスADが前回、レジスタ241に格納された場合、アドレスキュー制御回路19Aはセレクタ262を介し入力アドレスADをレジスタ212にラッチさせる。アドレスキュー制御回路19Aは、レジスタ211の内容を読み出させた後、レジスタ241のオフセットOFFを、セレクタ261を介しレジスタ211のオフセットフィールドにシフトさせ、レジスタ241の有効フラグEF及び待ち状態WSをリセットする。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社